

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-006281

# 2

(43)Date of publication of application : 14.01.1993

(51)Int.Cl.

G06F 9/46

(21)Application number : 03-223249

(71)Applicant : NEC CORP

(22)Date of filing : 04.09.1991

(72)Inventor : KATSUTA HIROSHI

(30)Priority

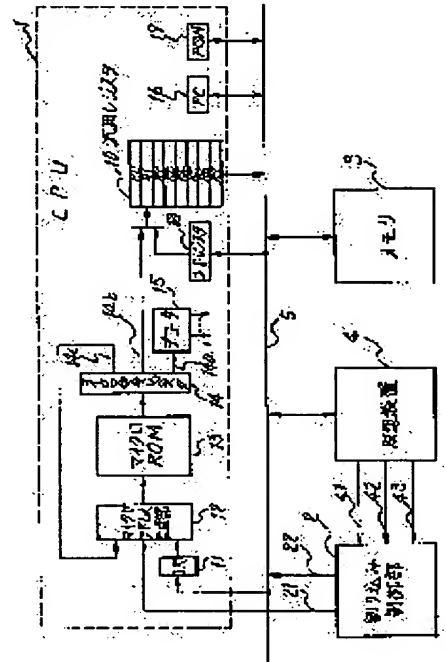
Priority number : 02266778 Priority date : 04.10.1990 Priority country : JP

## (54) INFORMATION PROCESSOR

(57)Abstract:

**PURPOSE:** To simultaneously save and restore a prescribed general-purpose register in the case of starting and restoring an interruption processing.

**CONSTITUTION:** Register designating bits corresponding to the causes of interruption are allocated to a memory 3. A general-purpose register 10 is selected and the contents are saved in a stack area while setting the register code of the general-purpose register 10, which is designated to '1' by the register designating bit, to a code register 18 successively by a microprogram processing in the case of starting the interruption processing. According to the instruction of restorage from the interruption processing, data in the stack area are written back to the prescribed general-purpose register 10 based on the contents of the register designating bit. Thus, the overhead of a program processing can be suppressed at a minimum in the case of starting the interruption processing.



## LEGAL STATUS

[Date of request for examination] 13.07.1995

[Date of sending the examiner's decision of rejection] 02.09.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 09-16657

[Date of requesting appeal against examiner's decision of rejection] 02.10.1997

[Date of extinction of right]



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

## MicroPatent® Worldwide PatSearch: Record 3 of 3

Family of JP5006281A2 [How It Works](#)

---

Family of JP05006281

No additional family members are found for this document

---



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

## MicroPatent® Worldwide PatSearch: Record 3 of 3

Family of JP5006281B4 [How It Works](#)

Stage 2 Patent Family - "Extended"		Priorities and Applications	
CC DocNum	KD PubDate	CC AppNum	KD AppDate
<input type="checkbox"/> JP 5006281	B4 19930126	JP 146028	A 19850703
<input type="checkbox"/> JP 62008404	A2 19870116	JP 146028	A 19850703
2 Publications found.			
Order Selected Documents			



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

## MicroPatent® Worldwide PatSearch: Record 3 of 3

Family of JP05006281 [How It Works](#)

---

Your family lookup result have more than 1 family set, please select the patent number to lookup

☒ JP 5006281 A2 19930114

☐ JP 5006281 B4 19930126

[Display Family](#)

---



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

---

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(11)特許出願公開番号

特開平5-6281

(43)公開日 平成5年(1993)1月14日

### 技術表示箇所

3 1 3 A 8120-5B

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号	特願平3-223249
(22)出願日	平成3年(1991)9月4日
(31)優先権主張番号	特願平2-266778
(32)優先日	平2(1990)10月4日
(33)優先権主張国	日本(JP)

(71)出願人 00004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 勝田 博志  
東京都港区芝五丁目7番1号日本電気株式  
会社内

(74)代理人 弁理士 内原 晋

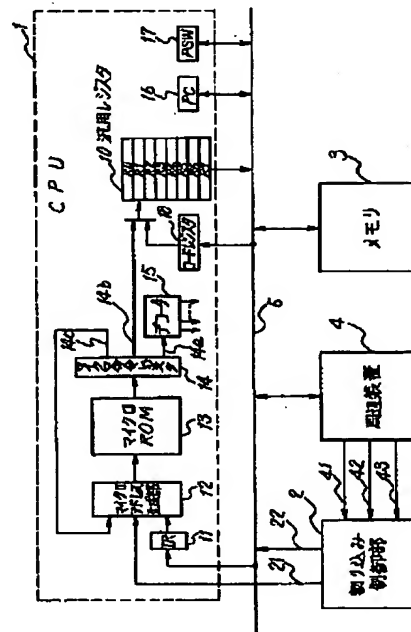
(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】割り込み処理起動時および復帰時に所定の汎用レジスタの退避、復元を同時に行うようにしたもの。

【構成】メモリ 3 に割り込み要因に対応したレジスタ指定ビットを割り付ける。割り込み処理起動時のマイクロプログラム処理によりレジスタ指定ビットで“1”に指定されている汎用レジスタ 10 のレジスタコードを順次コードレジスタ 18 に設定しながら汎用レジスタを選択し、内容をスタック領域に退避する。また、割り込み処理からの復帰命令ではスタック領域のデータをレジスタ指定ビットの内容に基づき所定の汎用レジスタ 10 に書き戻す。

【効果】割り込み処理の起動時のプログラム処理のオーバーヘッドを最小限に抑えることができる。



1

2

## 【特許請求の範囲】

【請求項1】 複数の汎用レジスタと、割り込み発生時に該割り込みの処理を起動する割り込み処理起動手段と、割り込み処理の終了後に該割り込みの処理から復帰する割り込み処理復帰手段とを備えた中央処理部と、命令処理に関わる処理データを記憶するデータメモリとを含む情報処理装置であって、前記割り込み発生時に前記割り込みの処理の実行に先立って退避が必要な前記汎用レジスタを指定するレジスタ指定手段を備え、前記割り込み処理起動手段は、前記割り込み処理の起動に先立って前記レジスタ指定手段により指定された前記汎用レジスタのデータを前記データメモリに退避する手段を含み、前記割り込み処理復帰手段は前記割り込み処理の終了後に前記レジスタ指定手段により指定された前記汎用レジスタのデータを前記データメモリから復元する手段を含むことを特徴とする情報処理装置。

【請求項2】 前記レジスタ指定手段は前記データメモリに割り付けられたデータで構成されていることを特徴とする請求項1記載の情報処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に関し、特に割り込み処理機能を備えた情報処理装置に関する。

【0002】

【従来の技術】 近年、プリンタ、ディスク装置等のOA機器や、エンジン制御等の自動車電装機器を始めとして、マイクロコンピュータの応用分野はますます広がつつあるが、これらの装置が高性能化するに伴い、マイクロコンピュータが処理すべき情報量も増大化し、処理速度のより一層の高速化が望まれている。

【0003】 さらに、このような分野の装置組み込みの用途では、装置自体が小型化、低価格化が進むなか、マイクロコンピュータもより安価でコンパクトな機器構成が可能なものが望まれている。

【0004】 一般に、上述のマイクロコンピュータ等の情報処理装置において割り込みが発生した場合、プログラムステータスワード(PSW)、プログラムカウンタ(PC)の内容を一時的にスタックメモリ等に退避した後、割り込みのプログラム処理を開始し、終了後、退避したデータを再びPSW、PCに戻すことにより、中断していた本来のプログラム処理を再開する。

【0005】 従来、この種の情報処理装置では、スタックメモリと汎用レジスタ間のデータ転送命令を備え、割り込みのプログラム処理の開始時には汎用レジスタ内容のスタックメモリへの退避命令を実行して所定の汎用レジスタのデータを保持させ、また、割り込みのプログラム処理の終了時にはスタックメモリから汎用レジスタへの復帰命令を実行して汎用レジスタのデータを回復させるようにしていた。これにより、割り込みのプログラム処理を、本来のプログラム処理で使用していた汎用レジ

スタの内容を破壊することなく、任意の汎用レジスタを使用して実行することができる。

【0006】 一方、このような割り込み処理は、通常のプログラム処理を一時中断して即座に実行させる必要があり、装置全体の性能を向上させるには、この割り込み処理の高速化が不可欠な要素となっている。

【0007】

【発明が解決しようとする課題】 上述の従来の情報処理装置では、割り込み処理の実行毎に汎用レジスタの退避と復帰の命令を実行することになり、そのための命令フェッチ、デコードの時間がオーバーヘッドとなり、割り込み処理トータルの実行速度の低下を招いていた。

【0008】 また、上記問題を解決する手法として、汎用レジスタ群を複数バンク備え、割り込み発生時に他のレジスタバンクに切り替える方式があるが、この場合、レジスタバンク数を割り込み要因の数だけ備える必要があり、ハードウェア規模の面で効率的でない。

【0009】 本発明は、このような従来の情報処理装置における問題点を改善すべくなされたものであって、高速な割り込み処理を最小限のハードウェアで実現する情報処理装置を提供することを目的としている。

【0010】

【課題を解決するための手段】 本発明の情報処理装置は、複数の汎用レジスタと、各種命令処理を実現する命令実行手段と、割り込み発生時に割り込みの処理を起動する割り込み処理起動手段と、割り込み処理の終了後に割り込みの処理から復帰する割り込み処理復帰手段とを備えた中央処理部と、命令処理に関わる処理データを記憶するデータメモリとを含む情報処理装置であって、割り込み発生時に割り込みの処理の実行に先立って退避が必要な前記汎用レジスタを指定するレジスタ指定手段を備え、割り込み処理起動手段は、割り込み処理の起動に先立ってレジスタ指定手段により指定された汎用レジスタのデータをデータメモリに退避する手段を含み、割り込み処理復帰手段は、割り込み処理の終了後にレジスタ指定手段により指定された汎用レジスタのデータメモリから復元する手段を含むものである。

【0011】 また、レジスタ指定手段はデータメモリに割り付けられたデータで構成されているものである。

【0012】

【実施例】 以下に、本発明について図面を参照して説明する。図1は本発明の一実施例を示す情報処理装置の内部構成のブロック図である。中央処理部(CPU)1は、システムバス5を介してメモリ3から読み込んだ命令コードに基づき、所定のマイクロプログラムを順次実行することにより命令処理を実現する。割り込み制御部2は、周辺装置4が発生する割り込み信号INTA41、INTB42、INTC43を入力すると、優先順位を制御してCPU1に対する割り込み要求信号21を発生するとともに、受け付けた割り込み要因の識別を行

3

うための割り込み受付コード22をシステムバス5に出力する。割り込み受付コード22は、2ビットで構成されており、各割り込み信号に対応して図2に示す各コードを出力する。

【0013】CPU1は、R0からR7の8本の汎用レジスタから構成される汎用レジスタ群10、フェッチした命令コードを記憶する命令レジスタ(IR)11、命令毎のマイクロプログラムを記憶するマイクロROM13、読み出されたマイクロ命令を順次記憶するマイクロ命令レジスタ14、PC16及びPSW17を備えている。マイクロ命令レジスタ14の各ビットは、CPU制御フィールド14a、レジスタ指定フィールド14b、次アドレス指定フィールド14cから構成される。

【0014】CPU制御フィールド14aは、デコーダ15にて解読後、CPU1内部の各種制御回路に供給され、データ転送、算術論理演算等の命令処理を実現する。レジスタ指定フィールド14bは、汎用レジスタ群10に供給され、命令処理で使用する汎用レジスタを直接指定する。また、汎用レジスタは、図3に示すようなコードレジスタ18に対して3ビットのレジスタコードをシステムバス5を介して指定することにより、間接指定が可能である。次アドレス指定フィールド14cは、IR11、割り込み要求信号21とともにマイクロアドレス生成部12に入力し、マイクロROM13に対するマイクロアドレスの生成に用いられる。

【0015】メモリ3は、CPU1が実行するプログラム(命令群)及び処理データを記憶し、さらに、スタック領域と、図4に示すように、割り込み処理の開始アドレスを示す割り込みベクタアドレスと、割り込み処理において使用する汎用レジスタ、すなわち割り込み処理起動時に退避すべき汎用レジスタを指定するレジスタ指定ビットとが割り込み制御テーブルとして各割り込み要因毎に割り付けられている。

【0016】レジスタ指定ビットは、図5に示すように、各1ビットがそれぞれR0からR7の8本の汎用レジスタに対応するように構成されている。

【0017】周辺装置4が割り込み信号INT41~43のいずれかを発生すると、割り込み制御部2はこれを受け付けると同時に、割り込み要求信号21をマイクロアドレス生成部12に出力する。マイクロアドレス生成部12は、割り込み要求信号21に基づき割り込み処理起動のマイクロプログラムの開始アドレスを生成する。以降、実行していたプログラム処理を一時中断し、割り込み処理起動のマイクロプログラムの実行により、次の制御を行う。

【0018】PSW17、PC16をスタック領域に退避した後、割り込み制御部2から割り込み受付コード22を読み出し、これをマイクロプログラム中で判別して、メモリ3から図4に示すような受け付けた割り込み要因に対応する割り込み制御テーブルのレジスタ指定ビ

4

ットデータを読み出す。次に、レジスタ指定ビットで“1”に指定されている汎用レジスタのレジスタコードを順次コードレジスタ18に設定しながら汎用レジスタを選択し、その内容をスタック領域に退避する。続いてレジスタ指定ビットのデータをスタック領域に退避した後、割り込みベクタアドレスのデータをPC16にロードし、割り込み処理の開始アドレスに分岐して割り込み処理を実行する。

【0019】割り込み処理は、割り込みからの復帰命令の実行により終了する。復帰命令では、割り込み起動時にスタック領域に退避したレジスタ指定ビットのデータに基づき、同じくスタック領域に退避した各汎用レジスタのデータを書き戻し、さらに、PC、PSW値をそれぞれPC16、PSW17に書き戻すことにより、割り込み処理により中断していたプログラム処理を再開する。

【0020】例えば、割り込み信号INTA41を受け付けると、割り込み制御部2から対応する割り込み受付コード22として01B(Bはバイナリデータであることを示す)が出力され、マイクロプログラム中でこれを判別して1番目の割り込み制御テーブルからデータを読み出す。レジスタ指定ビットデータが、例えば10100011Bの場合、汎用レジスタR0、R1、R5、R7のそれぞれのレジスタコード000B、001B、101B、111Bを順次コードレジスタ18に設定して選択しながら各汎用レジスタ内容をスタック領域に退避する。

【0021】割り込みからの復帰時には、スタック領域に退避されたレジスタ指定ビットデータに基づき、同じくスタック領域に退避されたデータを読み出し、順次R7、R5、R1、R0に書き戻す。ここで図6に上記例におけるスタック領域のデータ構成を示す。

【0022】次に、本発明の第2の実施例について図面を参照して説明する。第2の実施例の情報処理装置は、第1の実施例の情報処理装置における割り込み受付コード22をスタック領域に退避するようにしたものであり、その構成は第1の実施例の情報処理装置と同じであるため、以下図1を引用してその動作を説明する。

【0023】本実施例では、割り込み処理起動のマイクロプログラムの実行により、次の制御を行う。PSW17、PC16をスタック領域に退避した後、割り込み制御部2から割り込み受付コード22を読み出し、これを判別して、メモリ3から受け付けた割り込み要因に対応する割り込み制御テーブルのデータを読み出す。次に、レジスタ指定ビットで“1”に指定されている汎用レジスタのレジスタコードを順次コードレジスタ18に設定しながら汎用レジスタを選択し、その内容をスタック領域に退避する。続いて割り込み受付コード22のデータをスタック領域に退避した後、割り込みベクタアドレスのデータをPC16にロードし、割り込み処理の開始ア

5

ドレスに分歧して割り込み処理を実行する。

【0024】割り込み処理は、割り込みからの復帰命令の実行により終了する。復帰命令では、割り込み起動時にスタック領域に退避した割り込み受付コード22のデータに基づき、同じくスタック領域に退避した各汎用レジスタのデータを書き戻し、さらに、PC、PSW値をそれぞれPC16、PSW17に書き戻すことにより、割り込み処理により中断していたプログラム処理を再開する。

【0025】例えば、割り込み信号INTB42を受け付けると、割り込み制御部2から対応する割り込み受付コード22として10Bが出力され、マイクロプログラム中でこれを判別して2番目の割り込み制御テーブルからデータを読み出す。レジスタ指定ビットデータが、例えば01001010Bの場合、汎用レジスタR1、R3、R6のそれぞれのレジスタコード001B、011B、110Bを順次コードレジスタ18に設定して選択しながら各汎用レジスタ内容をスタック領域に退避する。

【0026】割り込みからの復帰時には、スタック領域に退避された割り込み受付コード22のデータを判別して対応する割り込み制御テーブルからレジスタ指定ビットデータを再び読み出し、これに基づき同じくスタック領域に退避されたデータを読み出し、順次R6、R3、R1に書き戻す。ここで図7に上記例におけるスタック領域のデータ構成を示す。

【0027】なお、以上説明した実施例では、簡単のため、8本の汎用レジスタを備えた構成について説明しているが、スタック領域に退避する汎用レジスタの指定に関わるデータを割り込み受付コードにしているため、汎用レジスタの指定部分のスタック領域の消費量が、汎用レジスタの数によらず一定であり、汎用レジスタを多く備えている中央処理部を備えた情報処理装置において最適である。

【0028】また、本発明の第3の実施例について図面を参照して説明する。第3の実施例の情報処理装置は、第1の実施例の情報処理装置におけるレジスタ指定ビットをメモリ3上の任意のアドレスに割り付けるようにしたものであり、その構成は第1の実施例の情報処理装置と同じであるため、以下図1を引用してその動作を説明する。

【0029】図8は、本実施例におけるメモリ3の割り込み制御テーブルの構成を示した図であり、割り込み処理の開始アドレスを示す割り込みベクタアドレスと、第1の実施例と同様の割り込み処理起動時に退避すべき汎用レジスタを指定するレジスタ指定ビットを記憶しているメモリアドレスを示すメモリポインタとが割り込み制御テーブルとして各割り込み要因毎に割り付けられている。

【0030】本実施例では、割り込み処理起動のマイク

6

ロプログラムの実行により、次の制御を行う。PSW17、PC16をスタック領域に退避した後、割り込み制御部2から割り込み受け付けコード22を読み出し、これを判別して、メモリ3から受け付けた割り込み要因に対応する割り込み制御テーブルのデータを読み出す。次に、割り込み制御テーブルのメモリポインタ値をアドレスとしてメモリ3からレジスタ指定ビット情報を読み出し、“1”に指定されている汎用レジスタを選択し、その内容をスタック領域に退避する。続いてレジスタ指定ビットのデータをスタック領域に退避した後、割り込みベクタアドレスのデータをPC16にロードし、割り込み処理の開始アドレスに分歧して割り込み処理を実行する。

【0031】割り込み処理は、割り込みからの復帰命令の実行により終了するが、その動作は第1の実施例の動作と同一であり、詳細な説明は省略する。

【0032】本実施例では、割り込み制御テーブルを含むプログラムをROMで構成し、レジスタ指定ビットをRAMにマッピングしてプログラム処理により動的に書き換えることが可能である。

【0033】

【発明の効果】以上説明したように、本発明の情報処理装置は、割り込み発生時の汎用レジスタの退避及び復帰を割り込み処理起動時及び終了時のマイクロプログラムにて行うことにより、従来のレジスタ転送命令の実行に伴う命令フェッチ、デコード等のオーバヘッドをなくし、高速な割り込み処理を実現できる。

【0034】また、複数の割り込み要因について、それぞれの割り込み処理で使用するため保護が必要な汎用レジスタのみを個別に指定して退避、復帰するため、処理速度及びスタック領域などのハードウェア資源の両面で効率のよい装置を提供できる。

【0035】さらに、汎用レジスタの選択、退避及び復帰のための特別のハードウェアを必要とせず、従来のハードウェア資産を活用しているなど、本発明の実用的効果は極めて高い。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図。

【図2】図1の割り込み信号と割り込み受付コードとの対応を示した図。

【図3】図1のコードレジスタに設定するレジスタコードと選択される汎用レジスタとの対応を示した図。

【図4】図1のメモリに割り付けられた割り込み制御テーブルのフォーマットを示した図。

【図5】図4の割り込み制御テーブルのレジスタ指定ビットのフォーマットを示した図。

【図6】第1の実施例におけるスタック領域の構成図。

【図7】第2の実施例におけるスタック領域の構成図。

【図8】第3の実施例におけるメモリ3の割り込み制御テーブルのフォーマットを示した図。



7

8

## 【符号の説明】

- 1 中央処理部
- 2 割り込み制御部
- 3 メモリ
- 4 周辺装置
- 5 システムバス
- 10 汎用レジスタ
- 11 IR
- 12 マイクロアドレス生成部
- 13 マイクロROM
- 14 マイクロ命令レジスタ
- 14 a CPU制御フィールド

- 14 b レジスタ指定フィールド
- 14 c 次アドレス指定フィールド
- 15 デコーダ
- 16 PC
- 17 PSW
- 18 コードレジスタ
- 21 割り込み要求信号
- 22 割り込み受付コード
- 41 割り込み信号INTA
- 10 42 割り込み信号INTB
- 43 割り込み信号INTC

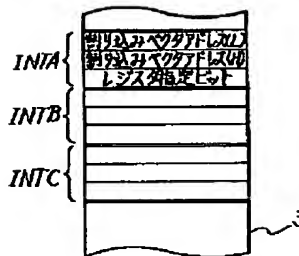
【図2】

割り込み信号	割り込み受付コード
割り込みなし	00
INTA	01
INTB	10
INTC	11

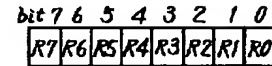
【図3】

レジスタコード	汎用レジスタ
000	R0
001	R1
...	...
111	R7

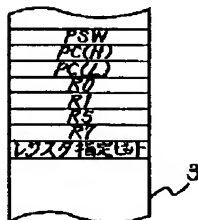
【図4】



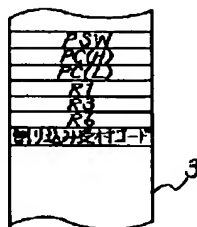
【図5】



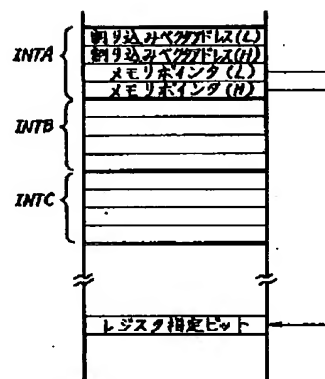
【図6】



【図7】



【図8】



【図1】

